



**SERVIÇO PÚBLICO FEDERAL
MINISTÉRIO DA EDUCAÇÃO
CENTRO FEDERAL DE EDUCAÇÃO TECNOLÓGICA DE MINAS GERAIS**

EDITAL ESPECÍFICO Nº 09, DE 07 DE AGOSTO DE 2025.

**CONCURSO PÚBLICO PARA PROVIMENTO DE CARGO EFETIVO DA CARREIRA DE
MAGISTÉRIO DO ENSINO BÁSICO, TÉCNICO E TECNOLÓGICO (EBTT) DO CEFET-MG.
ANO 2025**

O Diretor-Geral em exercício do Centro Federal de Educação Tecnológica de Minas Gerais (CEFET-MG), Professor Conrado de Souza Rodrigues, no uso de suas atribuições legais e estatutárias, nos termos do Edital Geral de Concurso Público nº 01/2025, de 07 de agosto de 2025, e da Resolução CD nº 28, de 22 de setembro de 2022, torna público que serão recebidas inscrições ao Concurso Público de Provas e Títulos para provimento efetivo de vagas da CARREIRA DE MAGISTÉRIO DO ENSINO BÁSICO, TÉCNICO E TECNOLÓGICO, no nível 1 da Classe A, de acordo com as seguintes discriminações:

1. O presente Edital Específico é regido pelo Edital Geral de Concurso Público nº 01/2025, de 07 de agosto de 2025, e pela Resolução CD nº 28, de 22 de setembro de 2022, que aprova as normas gerais de concurso público de provas e títulos para o provimento de cargos do magistério federal do Centro Federal de Educação Tecnológica de Minas Gerais.

2. Área do Concurso:

QUADRO I - Especificação da vaga

CAMPUS	DEPARTAMENTO	ÁREA*	QUALIFICAÇÃO MÍNIMA	REGIME DE TRABALHO
Leopoldina	Departamento de Computação (DECOMLP)	1.03.00.00-7 Ciência da Computação 1.03.04.00-2 Sistemas de Computação 1.03.04.01-0 Hardware 1.03.04.02-9 Arquitetura de Sistemas de Computação	Bacharelado ou Licenciatura em: Engenharia da Computação, Ciência da Computação, Informática, Engenharia de Controle e Automação, Engenharia	40 (quarenta) horas semanais, com Dedicação Exclusiva (DE).

			Mecatrônica, Engenharia Elétrica, Engenharia de Software, Engenharia Computacional, Sistemas de Informação ou Redes de Computadores.	
--	--	--	--	--

* Fonte: Tabela oficial de Áreas do Conhecimento disponibilizada no portal do CNPq.

3. Quantidade de vagas:

QUADRO II - Vagas Ofertadas

CARGO	MUNICÍPIO DE LOTAÇÃO	VAGAS*
Carreira de Magistério do Ensino Básico, Técnico e Tecnológico (EBTT)	Leopoldina	1 + CEX

*O sorteio para definir se a vaga será imediatamente preenchida por ampla concorrência ou por candidatos cotistas, conforme os critérios estabelecidos pela Lei nº 8.112/1990, Lei nº 7.853/1989, Decreto nº 3.298/1999, Decreto nº 9.508/2018 e Lei Federal nº 15.142/2025, será realizado no dia 23/09/2025, conforme o item 4.3 do Edital Geral de Concurso público nº 1/2025 e o disposto no Anexo I deste edital específico.

4. Fases do Concurso:

1ª Fase: Prova escrita.

2ª Fase: Prova didática.

3ª Fase: Prova de títulos.

5. Conteúdo Programático:

5.1 – Objetos de avaliação na 1ª Fase do Concurso - Prova Escrita:

1: Fundamentos da Computação e Representação de Dados

- Evolução histórica dos computadores: gerações, a Lei de Moore, o fim da escalabilidade de frequência (Power Wall) e a ascensão dos sistemas multicore.
- Conceitos de Arquitetura (visão do programador, ISA) versus Organização (implementação, hardware). O modelo de Von Neumann.
- Medidas de Desempenho: Tempo de CPU, Ciclos por Instrução (CPI), MIPS, Throughput. A Lei de Amdahl para análise de ganhos. O papel dos benchmarks (ex: SPEC).
- Sistemas de numeração (binário, hexadecimal). Representação de inteiros (sinal e magnitude, complemento de um, complemento de dois) e aritmética computacional (overflow). Representação de ponto flutuante (padrão IEEE 754: precisão simples e dupla, normalização, valores especiais).

2: A Arquitetura do Conjunto de Instruções

- A interface hardware/software: o papel do Conjunto de Instruções. Tipos de operandos e organização do banco de registradores.
- Formatos de instrução (tamanho fixo vs. variável). Modos de endereçamento (imediato, direto, indireto, por registrador, indexado, etc.).
- Classificação das instruções: operações aritméticas e lógicas, transferência de dados, desvios condicionais e incondicionais, chamadas de procedimento.
- Arquiteturas RISC (Reduced Instruction Set Computer) vs. CISC (Complex Instruction Set Computer): filosofia de projeto, características, trade-offs e impacto no compilador.
- Análise de ISAs relevantes: MIPS (como base pedagógica), ARM (dominante em sistemas embarcados e móveis), x86 (dominante em desktops e servidores) e a ascensão do RISC-V como padrão aberto.

3: Organização e Projeto do Processador: Fluxo de Dados e Controle

- Componentes do caminho de dados (datapath): Unidade Lógica e Aritmética (ULA), banco de registradores, multiplexadores, memórias de instrução e de dados.
- Implementação de um processador uniciclo: vantagens e desvantagens.
- Unidade de Controle: projeto de controle por hardware (lógica combinacional, fiação física) e por microprogramação (memória de controle, microinstruções).
- Implementação de um processador multiciclo.

4: Aceleração de Desempenho com Pipelining

- Conceito de pipeline e seus estágios clássicos (IF, ID, EX, MEM, WB). Aumento do throughput.
- Medidas de desempenho em pipelines: cálculo do speedup ideal e real.
- Conflitos (Hazards) em pipeline: estruturais (disputa por recursos), de dados (dependências RAW, WAR, WAW) e de controle (desvios).
- Técnicas de solução de conflitos: inserção de paradas (stalls/bolhas), adiantamento (forwarding/bypass), reordenação de instruções pelo compilador e predição de desvios (estática e dinâmica).

5: Hierarquia de Memória

- O princípio da localidade de referência (temporal e espacial) como base para a hierarquia de memória.
- Memória Cache: mapeamento (direto, totalmente associativo, associativo por conjunto), algoritmos de substituição (LRU, FIFO, aleatório), políticas de escrita (write-through, write-back, write-allocate, no-write-allocate). Análise de desempenho: tempo de acerto (hit time), taxa de falha (miss rate), penalidade por falha (miss penalty).¹⁰
- Memória Principal: tecnologias de DRAM (Dynamic RAM), SDRAM (Synchronous DRAM), DDRx. Organização em bancos, ranks e canais para permitir acesso paralelo.
- Memória Virtual: mecanismos de paginação e segmentação. O papel da Translation Lookaside Buffer (TLB) na aceleração da tradução de endereços. Mecanismos de proteção de memória.

6: Sistemas de Entrada/Saída (E/S) e Armazenamento

- Dispositivos de E/S e suas características (taxa de transferência, latência). Módulos e controladores de E/S.

- Técnicas de comunicação com E/S: E/S programada (polling), E/S por interrupção (tratamento de interrupções) e Acesso Direto à Memória (DMA).
- Barramentos: estrutura (dados, endereço, controle), hierarquia (barramento de processador, de memória, de E/S). Padrões de barramento como PCI, PCI Express (PCIe) e USB.5
- Sistemas de Armazenamento: Discos Magnéticos (HDDs - organização em trilhas, setores, cilindros), Discos de Estado Sólido (SSDs - tecnologia Flash NAND, wear leveling). Análise comparativa de desempenho. RAID (níveis 0, 1, 5, 6, 10): redundância e desempenho.

7: Tópicos Avançados em Arquitetura e Paralelismo

- Paralelismo em Nível de Instrução (ILP): arquiteturas superescalares, execução fora de ordem com renomeação de registradores e buffer de reordenação.
- Arquiteturas Multiprocessador e Multicore: taxonomia de Flynn (SISD, SIMD, MISD, MIMD). Sistemas de memória compartilhada (UMA vs. NUMA). O problema da coerência de cache e seus protocolos (snooping e baseados em diretório).
- Arquiteturas de Domínio Específico (DSAs) e Aceleradores: o papel das Unidades de Processamento Gráfico (GPUs) em computação de alto desempenho (GPGPU).

8: Montagem, Manutenção e Diagnóstico de Computadores

- Eletrônica Aplicada e Ferramentas: Fundamentos de eletricidade e grandezas elétricas. Uso de ferramentas essenciais: multímetro (medição de tensão, corrente e resistência), ferro de solda, sugador de solda e estação de retrabalho. Técnicas de soldagem e dessoldagem de componentes (PTH e SMD) .
- Montagem e Configuração: Processo metodológico de montagem de computadores desktop: seleção e compatibilidade de componentes (soquetes, chipsets, memórias, fontes de alimentação), preparação e organização do gabinete, instalação de placa-mãe, processador, cooler, memórias, placas de expansão e unidades de armazenamento. Configuração de BIOS/UEFI: parâmetros de boot, otimização de performance (perfis de memória XMP/EXPO), segurança (Secure Boot) e atualização de firmware .
- Diagnóstico e Reparo de PCs: Metodologia de diagnóstico de falhas de hardware. Análise de códigos de erro sonoros (bipes) e visuais (LEDs de diagnóstico) do POST. Isolamento de falhas em componentes (processador, memória, fonte, placa-mãe). Diagnóstico de problemas de E/S e armazenamento. Análise de tensões na fonte de alimentação e na placa-mãe com multímetro.
- Manutenção de Notebooks: Particularidades do hardware de notebooks: desmontagem e montagem, troca de componentes (RAM, SSD, teclado). Limpeza de sistema de refrigeração para solução de superaquecimento.
- Técnicas Avançadas de Reparo: Introdução ao diagnóstico de falhas em nível de componente em placas-mãe. Identificação de solda fria em componentes BGA. Conceitos e aplicação das técnicas de Reflow (ressoldagem) e Reballing (substituição das esferas de solda).
- Análise de Desempenho: Identificação de gargalos de sistema (CPU vs. I/O) utilizando ferramentas de monitoramento e conhecimento da hierarquia de memória, barramentos e latência de dispositivos de armazenamento.

5.1.1 – Referências bibliográficas recomendadas para a 1ª Fase do Concurso - Prova Escrita:

Organização de Computadores / Arquitetura de Computadores

PATTERSON, D. A., HENNESSY, J. L. Organização e projeto de computadores: a interface hardware/software. 5 ed. São Paulo:GEN LTC, 2017. ISBN: 9788535287936.

PATTERSON, David A., HENNESSY, John L. Arquitetura de computadores: uma abordagem quantitativa. 6. ed. Rio de Janeiro: LTC, 2019. ISBN: 9788535291742.

STALLINGS, William. Arquitetura e Organização de Computadores. 11. ed. Porto Alegre: Bookman, 2024. ISBN: 9788582606360

TANENBAUM, Andrew S.; AUSTIN, Todd. Organização estruturada de computadores. 6. ed. São Paulo: Pearson Prentice Hall, 2013. ISBN: 9788581435398.

TOCCI, Ronald J.; WIDMER, Neal S.; MOSS, Gregory L. Sistemas digitais: princípios e aplicações. 12. ed. São Paulo: Pearson Universidades, 2019. ISBN: 9788543025018.

Manutenção de Computadores

FERREIRA, Sílvio. Curso Profissional de Hardware Montagem e Manutenção de Micros: Uma Verdadeira Enciclopédia para Técnicos de PCs. 3. ed. Florianópolis: Instituto Alpha, 2023. ISBN: 978-65-87608-12-9

MORIMOTO, Carlos E. Hardware II, o guia definitivo. Porto Alegre: Sul Editores, 2010. ISBN 978-85-99593-16-5

PEREZ, Camila Ceccatto da Silva. Manutenção Completa em Computadores. 2. ed. São Paulo: Viena, 2024. ISBN: 978-65-867-6317-1

TORRES, Gabriel. Hardware: versão revisada e atualizada. Rio de Janeiro: Novaterra, 2013. ISBN 9788561893217.

5.2 – Objetos de avaliação na 2ª Fase do Concurso – Prova Didática (Temas para sorteio):

- 1 Representação de inteiros, conversões e aritmética computacional (Unidade Lógica e Aritmética)
- 2 Medidas de desempenho em arquitetura de computadores: métricas (tempo de CPU, CPI, MIPS, aceleração), a Lei de Amdahl e benchmarks.
- 3 Componentes do caminho de dados (datapath) e sinais de controle para MIPS unicycle e multiciclos.
- 4 Conjuntos de instruções: RISC x CISC, linguagem Assembly do MIPS de 32 bits (formatos de instruções, tipos de operandos, modos de endereçamento) e tradução de blocos de código.
- 5 Conflitos (Hazards) em pipeline: estruturais, de dados e de controle.
- 6 Técnicas de solução de conflitos em pipeline: inserção de paradas, encaminhamento, reordenação de instruções e predição de desvios.
- 7 Hierarquia de Memória: princípios, organização, caches (diretamente mapeadas e associativas), memória virtual (paginação, TLB) e desempenho.

8 Técnicas de comunicação com E/S: E/S programada (polling), E/S por interrupção (tratamento de interrupções) e Acesso Direto à Memória (DMA)

9 Montagem e Configuração: Processo metodológico de montagem de computadores desktop: seleção e compatibilidade de componentes (soquetes, chipsets, memórias, fontes de alimentação), preparação e organização do gabinete, instalação de placa-mãe, processador, cooler, memórias, placas de expansão e unidades de armazenamento

10 Diagnóstico e Reparo de PCs: Metodologia de diagnóstico de falhas de hardware. Análise de códigos de erro sonoros (bipes) e visuais (LEDs de diagnóstico) do POST.

5.2.1 – Referências bibliográficas recomendadas para a 2ª Fase do Concurso – Prova Didática:

Organização de Computadores / Arquitetura de Computadores

PATTERSON, D. A., HENNESSY, J. L. Organização e projeto de computadores: a interface hardware/software. 5 ed. São Paulo: GEN LTC, 2017. ISBN: 9788535287936.

PATTERSON, David A., HENNESSY, John L. Arquitetura de computadores: uma abordagem quantitativa. 6. ed. Rio de Janeiro: LTC, 2019. ISBN: 9788535291742.

STALLINGS, William. Arquitetura e Organização de Computadores. 11. ed. Porto Alegre: Bookman, 2024. ISBN: 9788582606360

TANENBAUM, Andrew S.; AUSTIN, Todd. Organização estruturada de computadores. 6. ed. São Paulo: Pearson Prentice Hall, 2013. ISBN: 9788581435398.

TOCCI, Ronald J.; WIDMER, Neal S.; MOSS, Gregory L. Sistemas digitais: princípios e aplicações. 12. ed. São Paulo: Pearson Universidades, 2019. ISBN: 9788543025018.

Manutenção de Computadores

FERREIRA, Sílvio. Curso Profissional de Hardware Montagem e Manutenção de Micros: Uma Verdadeira Enciclopédia para Técnicos de PCs. 3. ed. Florianópolis: Instituto Alpha, 2023. ISBN: 978-65-87608-12-9

MORIMOTO, Carlos E. Hardware II, o guia definitivo. Porto Alegre: Sul Editores, 2010. ISBN 978-85-99593-16-5

PEREZ, Camila Ceccatto da Silva. Manutenção Completa em Computadores. 2. ed. São Paulo: Viena, 2024. ISBN: 978-65-867-6317-1

TORRES, Gabriel. Hardware: versão revisada e atualizada. Rio de Janeiro: Novaterra, 2013. ISBN 9788561893217.

Belo Horizonte, 07 de agosto de 2025.

CONRADO DE SOUZA RODRIGUES

Diretor-Geral em exercício

ANEXO I - CRONOGRAMA PREVISTO

ITEM	EVENTO	DATA DE INÍCIO	DATA DE TÉRMINO
1	Publicação do Edital Geral e dos Editais Específicos.	11/08/2025	-
2	Solicitação de impugnação ao teor do Edital Geral e dos Editais Específicos.	11/08/2025	13/08/2025
3	Resultado das solicitações de impugnação ao Edital Geral e aos Editais Específicos.	18/08/2025	-
4	Realização de inscrição.	18/08/2025	05/09/2025
5	Solicitação de isenção da taxa de inscrição.	18/08/2025	25/08/2025
6	Solicitação de condição especial para realização das provas.	18/08/2025	25/08/2025
7	Resultado das solicitações de isenção da taxa de inscrição.	27/08/2025	-
8	Interposição de recursos contra o resultado das solicitações de isenção da taxa de inscrição.	27/08/2025	28/08/2025
9	Resultado das solicitações de condição especial para realização das provas.	27/08/2025	-
10	Interposição de recursos contra o resultado das solicitações de condição especial para realização das provas.	27/08/2025	28/08/2025
11	Resultado final das solicitações de isenção de taxa de inscrição.	01/09/2025	-
12	Resultado final das solicitações de condição especial para realização das provas.	01/09/2025	-

13	Data-limite para pagamento da taxa de inscrição.	08/09/2025	-
14	Resultado preliminar da homologação das inscrições.	10/09/2025	-
15	Interposição de recursos contra o resultado preliminar da homologação das inscrições.	10/09/2025	11/09/2025
16	Resultado final da homologação das inscrições.	12/09/2025	-
17	Publicação da composição preliminar das bancas examinadoras.	22/09/2025	-
18	Interposição de recursos contra a composição preliminar das bancas examinadoras.	22/09/2025	23/09/2025
19	Sorteio de vagas a serem reservadas imediatamente para candidatos pretos, pardos, indígenas, quilombolas e com deficiência.	23/09/2025	-
20	Publicação da composição final das bancas examinadoras.	26/09/2025	-
21	Liberação do Comprovante Definitivo de Inscrição, na página eletrônica oficial do concurso, contendo as informações para realização da 1ª fase (local e sala).	17/11/2025	-
22	Realização da 1ª Fase do Concurso – Prova Escrita.	23/11/2025	-
23	Divulgação do caderno da Prova Escrita.	24/11/2025	-
24	Interposição de recursos contra questões da Prova Escrita.	24/11/2025	26/11/2025
25	Divulgação dos pareceres relativos aos recursos contra a Prova Escrita.	02/12/2025	-
26	Resultado preliminar da 1ª Fase do Concurso – Prova Escrita.	15/12/2025	-

27	Interposição de recursos contra resultado preliminar da 1ª Fase do Concurso – Prova Escrita	15/12/2025	17/12/2025
28	Resultado definitivo da 1ª Fase do Concurso – Prova Escrita.	23/12/2025	-
29	Divulgação do cronograma da 2ª Fase do Concurso.	29/12/2025	-
30	Convocação dos candidatos habilitados na 1ª Fase para a 2ª Fase do Concurso e para entrega dos documentos comprobatórios para a 3ª Fase do Concurso (Prova de Títulos).	29/12/2025	-
31	Convocação de candidatos para o procedimento de confirmação complementar à autodeclaração (pretos e pardas); para verificação documental complementar (indígenas e quilombolas); ou para avaliação presencial e caracterização da deficiência (PcD).	29/12/2025	-
32	Período para realização da 2ª fase do Concurso e entrega do Memorial de Títulos, conforme cronograma divulgado em 29/12/2025.	05/01/2026	15/01/2026
33	Período de confirmação complementar à autodeclaração dos candidatos pretos e pardos, procedimento de verificação documental complementar à autodeclaração dos candidatos indígenas e quilombolas, e avaliação presencial e caracterização da deficiência dos candidatos com deficiência.	05/01/2026	08/01/2026

34	Divulgação do resultado preliminar da confirmação complementar à autodeclaração dos candidatos pretos e pardos, do procedimento de verificação documental complementar à autodeclaração dos candidatos indígenas e quilombolas, e da avaliação presencial e caracterização da deficiência para candidatos com deficiência.	09/01/2026	-
35	Interposição de recursos contra o resultado preliminar da confirmação complementar à autodeclaração dos candidatos pretos e pardos; do procedimento de verificação documental complementar à autodeclaração dos candidatos indígenas e quilombolas; e da avaliação presencial e caracterização da deficiência de candidatos com deficiência.	12/01/2026	13/01/2026
36	Reavaliação presencial, se necessária, de candidatos inscritos como PcD; pretos, pardos, indígenas e quilombolas.	13/01/2026	15/01/2026
37	Resultado definitivo da confirmação complementar à autodeclaração dos candidatos pretos e pardos, do procedimento de verificação documental complementar à autodeclaração dos candidatos indígenas e quilombolas, e da avaliação presencial e caracterização da deficiência de candidatos com deficiência.	16/01/2026	-
38	Resultado preliminar da 2ª Fase, da 3ª Fase e Resultado final preliminar.	16/01/2026	-
39	Interposição de recursos contra o resultado preliminar da 2ª Fase, da 3ª Fase e o resultado final preliminar.	16/01/2026	18/01/2026
40	Resultado final da 2ª Fase, da 3ª Fase e resultado final definitivo.	26/01/2026	-



EDITAL ESPECÍFICO DE CONCURSO PÚBLICO Nº 9/2025 - COON (11.68.09)

(Nº do Protocolo: NÃO PROTOCOLADO)

(Assinado digitalmente em 07/08/2025 10:20)

CONRADO DE SOUZA RODRIGUES

DIRETOR-GERAL EM EXERCÍCIO

GDG (11.36)

Matrícula: ###243#0

Visualize o documento original em <https://sig.cefetmg.br/documentos/> informando seu número: **9**, ano: **2025**, tipo:
EDITAL ESPECÍFICO DE CONCURSO PÚBLICO, data de emissão: **05/08/2025** e o código de verificação:
2af7c955d4